

PAT-NO: JP411168200A

DOCUMENT-IDENTIFIER: JP 11168200 A

TITLE: SEMICONDUCTOR DEVICE HAVING CAPACITOR AND
MANUFACTURE

THEREREOF

PUBN-DATE: June 22, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
OKUDAIRA, TOMOHITO	N/A
TOKIMINE, YOSHIKAZU	N/A
KASHIWABARA, KEIICHIROU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP10191018

APPL-DATE: May 19, 1998

INT-CL (IPC): H01L027/108, H01L021/8242, H01L027/04, H01L021/822

ABSTRACT:

PROBLEM TO BE SOLVED: To inhibit a leakage current in a semiconductor

device

and to prevent electrodes from being peeled off by a method, wherein at least

either of first and second electrode layers has first and second metal layers

and the second metal layer comes into contact with a capacitor insulating film

and contains oxygen.

SOLUTION: A capacitor 10 has a lower electrode layer 1, a capacitor

insulating layer 7 and an upper electrode layer 9. The layer 1 is formed on an

interlayer insulating layer 23 so as to connect electrically with plug layers

25 via a barrier metal layer 3. The side surfaces of the layers 3 and 1 are covered with framed insulating layers 5 consisting of a silicon oxide film, for example. The layer 7 is formed in such a way as to cover the layer 1. The layer 9 is formed in such a way as to face opposite to the layer 1 via the layer 7. Oxygen is evenly introduced in at least either of the layers 1 and 9.

COPYRIGHT: (C)1999,JPO

DERWENT-ACC-NO: 1999-414765

DERWENT-WEEK: 200035

COPYRIGHT 2006 DERWENT INFORMATION LTD

TITLE: Structure of capacitor for DRAM - includes insulating layer which makes contact with electrode layer through respective metal layers

INVENTOR: KASHIHARA, K; OKUDAIRA, T ; TSUNEMINE, Y

PATENT-ASSIGNEE: MITSUBISHI ELECTRIC CORP[MITQ] , MITSUBISHI DENKI KK[MITQ]

PRIORITY-DATA: 1997JP-0286166 (October 1, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 11168200 A	June 22, 1999	N/A	018	H01L 027/108

US 6078072 A

June 20, 2000

N/A

000

H01L 029/76

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11168200A	N/A	1998JP-0191018	May 19, 1998
US 6078072A	N/A	1998US-0073834	May 6, 1998

INT-CL (IPC): H01L021/822, H01L021/8242, H01L027/04, H01L027/108,
H01L029/76, H01L029/94, H01L031/113

ABSTRACTED-PUB-NO: JP 11168200A

BASIC-ABSTRACT:

NOVELTY - Electrode layers (1,9) are formed with an insulating layer (7) in-between. The insulating layer makes contact with respective metal layers which are selected from platinum, iridium, rhodium, ruthenium, osmium.

USE - For DRAM of computer.

ADVANTAGE - Since the lower electrode layer in contact with insulating layer

contains oxygen, any oxygen deficiency in capacitor insulating layer is compensated which results in suppression of leakage current.

DESCRIPTION OF DRAWING - The figure illustrates the sectional view showing

component of DRAM. (1,9) Electrode layers; (7) Insulating layer.

ABSTRACTED-PUB-NO: US 6078072A

EQUIVALENT-ABSTRACTS:

NOVELTY - Electrode layers (1,9) are formed with an insulating layer (7) in-between. The insulating layer makes contact with respective metal layers which are selected from platinum, iridium, rhodium, ruthenium, osmium.

USE - For DRAM of computer.

ADVANTAGE - Since the lower electrode layer in contact with insulating layer contains oxygen, any oxygen deficiency in capacitor insulating layer is compensated which results in suppression of leakage current.

DESCRIPTION OF DRAWING - The figure illustrates the sectional view

showing

component of DRAM. (1,9) Electrode layers; (7) Insulating layer.

CHOSEN-DRAWING: Dwg. 1/32

TITLE-TERMS: STRUCTURE CAPACITOR DRAM INSULATE LAYER
CONTACT ELECTRODE LAYER

THROUGH RESPECTIVE METAL LAYER

DERWENT-CLASS: L03 U12 U13 U14

CPI-CODES: L03-G04A; L04-C14A;

EPI-CODES: U12-C02A1; U13-C04B1A; U14-A03B4;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1999-122225

Non-CPI Secondary Accession Numbers: N1999-310853

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168200

(43)公開日 平成11年(1999)6月22日

(51)Int.Cl.⁶

H 01 L 27/108
21/8242
27/04
21/822

識別記号

F I

H 01 L 27/10
27/04
27/10

6 21 B
C
6 51

審査請求 未請求 請求項の数13 FD (全 18 頁)

(21)出願番号

特願平10-191018

(22)出願日

平成10年(1998)5月19日

(31)優先権主張番号 特願平9-286166

(32)優先日 平9(1997)10月1日

(33)優先権主張国 日本 (JP)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 奥平 智仁

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 常峰 美和

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 柏原 廉一朗

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

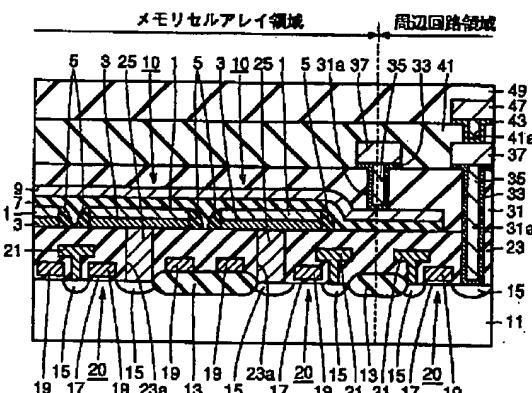
(74)代理人 弁理士 深見 久郎 (外3名)

(54)【発明の名称】 キャパシタを有する半導体装置およびその製造方法

(57)【要約】

【課題】 リーク電流を抑制でき、かつ電極の剥がれを防止できるキャパシタを有する半導体装置およびその製造方法を提供する。

【解決手段】 キャパシタ10の下部電極層1を、450°C未満の温度で酸素を含む雰囲気中にてスパッタリングで形成することにより、酸素が導入された下部電極層1を得る。



【特許請求の範囲】

【請求項1】 第1および第2の電極層が高誘電率材料を含むキャバシタ絶縁層を挟んでなるキャバシタを有する半導体装置であって、

前記第1および第2の電極層の少なくともいずれかは、第1の金属層と、

前記キャバシタ絶縁層と前記第1の金属層との間に位置して前記キャバシタ絶縁層に接し、かつ酸素を含む第2の金属層とを有する、キャバシタを有する半導体装置。

【請求項2】 前記第1および第2の金属層の少なくともいずれかは、白金、イリジウム、ロジウム、ルテニウム、パラジウムおよびオスミウムよりなる群から選ばれる1種以上を含み、かつ酸素を含んでいる、請求項1に記載のキャバシタを有する半導体装置。

【請求項3】 前記高誘電率材料は、五酸化タンタル、チタン酸ストロンチウムバリウム、チタン酸ジルコン酸ランタン鉛、タンタル酸ビスマス酸ストロンチウム、チタン酸ジルコン酸鉛、チタン酸ストロンチウムおよびチタン酸バリウムよりなる群から選ばれる1種以上を有している、請求項2に記載のキャバシタを有する半導体装置。

【請求項4】 主表面を有する半導体基板と、前記主表面に形成された導電領域と、

前記導電領域上に形成され、前記導電領域の一部に達する孔を有する絶縁層と、

前記孔を介して電気的に接続される前記導電領域と前記第1の電極層との間に位置するバリアメタル層とをさらに備え、

前記第1の電極層の少なくとも一部は、前記バリアメタル層上に形成されており、

前記第2の電極層は、前記第1の電極層上に前記キャバシタ絶縁層を介在して形成されており、

前記第1の電極層が前記第1および第2の金属層を有している、請求項1に記載のキャバシタを有する半導体装置。

【請求項5】 前記バリアメタル層は前記孔を充填するように前記孔内のみに形成されている、請求項4に記載のキャバシタを有する半導体装置。

【請求項6】 2つの電極層が高誘電率材料を含むキャバシタ絶縁層を挟んでなるキャバシタを有する半導体装置の製造方法であって、

前記2つの電極層の少なくともいずれかは、酸素原子または酸素イオンを含む雰囲気中にて450°C未満の温度でスパッタリングにより金属層を堆積することで形成される、キャバシタを有する半導体装置の製造方法。

【請求項7】 2つの電極層が高誘電率材料を含むキャバシタ絶縁層を挟んでなるキャバシタを有する半導体装置の製造方法であって、

前記2つの電極層の少なくともいずれかは、第1の金属層と、前記キャバシタ絶縁層および前記第1の金属層の

間で前記キャバシタ絶縁層に接しつつ酸素を含む第2の金属層とを有するように形成される、キャバシタを有する半導体装置の製造方法。

【請求項8】 前記金属層は、白金、イリジウム、ロジウム、ルテニウム、パラジウムおよびオスミウムよりなる群から選ばれる1種以上を含み、かつ酸素を含んでいる、請求項6および7のいずれかに記載のキャバシタを有する半導体装置の製造方法。

【請求項9】 前記高誘電率材料は、五酸化タンタル、チタン酸ストロンチウムバリウム、チタン酸ジルコン酸ランタン鉛、タンタル酸ビスマス酸ストロンチウム、チタン酸ジルコン酸鉛、チタン酸ストロンチウムおよびチタン酸バリウムよりなる群から選ばれる1種以上を有している、請求項6および7のいずれかに記載のキャバシタを有する半導体装置の製造方法。

【請求項10】 前記スパッタリングにより形成される前記電極の少なくとも一部がバリアメタル層上に形成される、請求項6に記載のキャバシタを有する半導体装置の製造方法。

【請求項11】 前記第2の金属層を形成する工程は、酸素原子または酸素イオンを含む雰囲気中にてスパッタリングする工程を有する、請求項7に記載のキャバシタを有する半導体装置の製造方法。

【請求項12】 前記第2の金属層を形成する工程は、実質的に酸素を含まない金属層を形成する工程と、前記金属層をレジストパターンをマスクとしてバーニングする工程と、前記レジストパターンを酸素プラズマを用いてオーバーアッシングすることで前記レジストパターンを除去するとともに前記金属層に酸素を導入して前記第2の金属層とする工程とを有する、請求項7に記載のキャバシタを有する半導体装置の製造方法。

【請求項13】 前記第2の金属層を形成する工程は、金属層に酸素をイオン注入する工程を有する、請求項7に記載のキャバシタを有する半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、キャバシタを有する半導体装置およびその製造方法に関するものであり、より特定的には、高誘電率材料よりなるキャバシタ絶縁層を2つの電極が挟んでなるキャバシタを有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、コンピュータなどの情報機器の目ざましい普及によって、半導体記憶装置の需要が急速に拡大している。また機能的には、大規模な記憶容量を有し、かつ高速動作が可能なものが要求されている。これに伴って、DRAM (Dynamic Random Access Memory)などの半導体記憶装置の高集積化および高速応答性および高信頼性に関する技術開発が進められている。

【0003】半導体記憶装置の中で、記憶情報のランダムな入出力が可能なものとしてDRAMが一般的に知られている。このDRAMは、多数の記憶情報を蓄積する記憶領域であるメモリセルアレイと、外部等の入出力に必要な周辺回路とから構成されている。このように構成されるDRAMの半導体チップ上において、メモリセルアレイは大きな面積を占めている。また、このメモリセルアレイには、単位記憶情報を蓄積するためのメモリセルがマトリックス状に複数個配列されて形成されている。このメモリセルは、通常、1個のMOS (Metal Oxide Semiconductor) ドラフトと、これに接続された1個のキャパシタとから構成されており、1トランジスタ1キャパシタ型のメモリセルとして広く知られている。このような構成を有するメモリセルは、その構造が簡単なためメモリセルアレイの集積度を向上させることができて、大容量のDRAMに広く用いられている。

【0004】このDRAMの高集積化を押し進めた場合、メモリセルサイズの縮小が余儀なくされる。このメモリセルサイズの縮小に伴って、キャパシタの平面的な占有面積も同時に縮小される。そのため、キャパシタに蓄えられる電荷量（1ビットのメモリセルに蓄えられる電荷量）が低下することになり、記憶領域としてのDRAMの動作が不安定なものとなり、信頼性が低下する。

【0005】かかるDRAMの動作の不安定化を防止するため、限られた平面占有面積内においてキャパシタの容量を増加させる必要がある。キャパシタ容量を、比較的単純なキャパシタ形状を維持したまま増加させる手段として、キャパシタ絶縁層の誘電率の増加が検討されてきた。

【0006】キャパシタ絶縁層の誘電率を増加させるためには、高い誘電率を有する材料、いわゆる高誘電率材料と呼ばれる材料をキャパシタ絶縁層に採用する方法がある。この高誘電率材料は、一般にシリコン酸化膜の数倍から数百倍の誘電率を有するため、この高誘電率材料をキャパシタ絶縁層に用いることにより、キャパシタの形状を比較的単純な形状に維持したまま、容易に容量の増加を図ることが可能となる。

【0007】なお、この高誘電率材料と呼ばれる材料の一例としては、五酸化タンタル (Ta_2O_5)、チタン酸ストロンチウムバリウム ($Ba_xSr_{(1-x)}TiO_3$ ($0 \leq x \leq 1$) : 以下、BSTと略す)、チタン酸ジルコン酸ランタン鉛 ($Pb_xLa_{(1-x)}Zr_yTi_{(1-y)}O_3$ ($0 \leq x \leq 1, 0 \leq y \leq 1$) : 以下、PLZTと略す)、タンタル酸ビスマス酸ストロンチウム ($SrBi_2Ta_2O_9$: 以下、SBTと略す)、チタン酸ジルコン酸鉛 (以下、PZTと略す)、チタン酸ストロンチウム (以下、STOと略す)、チタン酸バリウム (以下、BTOと略す) などが挙げられる。

【0008】以下、この高誘電率材料をキャパシタ絶縁

層に用いたDRAMのメモリセル構造を従来の半導体装置として図を用いて説明する。

【0009】図27は、従来のキャパシタを有する半導体装置の構成を概略的に示す断面図である。図27を参照して、シリコン基板11の分離絶縁層13により分離された領域には複数個のDRAMのメモリセルが形成されている。このメモリセルは、トランジスタ20と、キャパシタ110とを有する1トランジスタ1キャパシタ型のメモリセルである。

10 【0010】トランジスタ20は、1対のソース／ドレイン領域15と、ゲート絶縁層17と、ゲート電極層19とを有している。1対のソース／ドレイン領域15は、シリコン基板11の表面に互いに間隔を介して形成されている。ゲート電極層19は、この1対のソース／ドレイン領域15に挟まれる領域上にゲート絶縁層17を介して形成されている。

【0011】1対のソース／ドレイン領域15の一方には、ビット線となる導電層21が電気的に接続されている。

20 【0012】このトランジスタ20とビット線21とを覆うように層間絶縁層23が形成されている。この層間絶縁層23には、1対のソース／ドレイン領域の他方に達するコンタクトホール23aが形成されており、このコンタクトホール23a内には、導電性のプラグ層25が埋込まれている。このプラグ層25を介してソース／ドレイン領域15と電気的に接続するようにキャパシタ110が形成されている。

【0013】キャパシタ110は、下部電極層（ストレージノード）101と、キャパシタ絶縁層107と、上部電極層（セルプレート）109とを有している。下部電極層101は、バリアメタル層103を介してプラグ層25と電気的に接続されている。また、このバリアメタル層103は、プラグ層25にバリア性がある場合には不要である。この下部電極層101とバリアメタル層103との側壁は、枠付け絶縁層105によって覆われている。下部電極層101側面の枠付け絶縁層105はキャパシタ絶縁層107のカバレッジ特性が良好な場合、特になくてもよい。キャパシタ絶縁層107は、上述した高誘電率材料を含む材質となり、下部電極層101上を覆うように形成されている。上部電極層109は、このキャパシタ絶縁層107を介して下部電極層101と対向するように形成されている。

30 【0014】なお、バリアメタル層103は、プラグ層25内の不純物が下部電極層101へ拡散するのを防止し、かつ下部電極層101と層間絶縁層23との密着性を向上させる役割をなしており、たとえばTiN（窒化チタン）などよりなっている。

【0015】上述したキャパシタ絶縁層107に含まれる高誘電率材料は、いずれも遷移金属の酸化物を含んでおり、これらの遷移金属は、さまざまな酸化数をとるこ

とができるという特徴を有している。ところが酸化数の低い酸化物は一般的に導電性であることからキャバシタ絶縁層107として使用する場合、酸化数の高い状態を維持することが重要であり、材料内の酸素欠損、特に電極材料との界面近傍における酸素欠損に注意する必要がある。

【0016】したがって、電極材料としてSi（シリコン）、Ti（チタン）など、容易に酸化される材料を用いると、電極101、109とキャバシタ絶縁層107との間で酸化還元反応が起こり、電極101、109近傍のキャバシタ絶縁層107の酸素欠損によりリーク電流の増加が起こる。このため、従来より耐酸化性の強い材料である貴金属元素、または導電性の酸化物が電極101、109として用いられてきた。

【0017】特に白金は、格子定数がキャバシタ絶縁層107として使用するPZT、BSTの結晶格子定数と近いため、ヘテロエピタキシャル成長により結晶性の高いキャバシタ絶縁層107を得やすく、さまざまな研究期間で用いられてきた。ところが白金は触媒として用いられることからもわかるように、表面反応に関して非常に活性である。このため、還元性雰囲気ではキャバシタ絶縁層107の還元反応を加速し、その結果キャバシタ絶縁層107の絶縁性が失われるという欠点があることがわかつてき。

【0018】図28は、アルゴンガス中で400°Cの温度でシリコン酸化膜上にスパッタリングした白金電極上にBST膜（キャバシタ絶縁層）を形成し、さらにその上部に白金電極をパターニングして形成して得られたキャバシタのリーク電流特性を示す図である。ここでBST膜は、温度：400~600°C、圧力：0.2~0.8Pa、流量比：O₂ / (Ar + O₂) < 0.5の条件で60nmの膜厚となるように形成された。

【0019】この膜をDRAMに応用した場合を考える。DRAMの電源電圧Vccを3.3Vとすると、キャバシタ絶縁層にはVccの1/2である1.65Vの電圧がかかる。しかし、図28より明らかのように、この電圧におけるキャバシタのリーク電流密度は要求スペックである100nA/cm²を大きくオーバーしていることがわかる。また、このキャバシタは単純なMIM構造であるが実際のDRAMプロセスではキャバシタ形成後にさまざまな熱処理が加わり、さらにはトランジスタ特性改善のための水素アニールが存在する。これらの熱ストレス、還元性雰囲気下のアニールなどに耐える膜を得るために、なおさら電極とキャバシタ絶縁層との界面の酸素欠損の抑制、結晶性の改善などが必要である。

【0020】上記の酸素欠損によるリーク電流の発生を防止する技術が特開平5-343616号公報に開示されている。この公報によれば、キャバシタを構成する1個の電極の、少なくともキャバシタ絶縁層に接触する領

域に酸素を含ませることにより、上記の酸素欠損によるリーク電流の発生が防止されている。またこの電極中に酸素を導入する手法として、上記公報には電極に酸素をイオン注入する方法や電極を酸素プラズマにさらす方法が開示されている。また、酸素を含む雰囲気中にスパッタリングすることにより酸素が導入された下部電極層を成膜する方法が、特開平6-65715号公報に開示されている。

【0021】

10 【発明が解決しようとする課題】しかし、イオン注入は物理的にイオンを注入する方法であるため、電極に酸素イオンを注入すると電極表面の結晶性が乱れる。またキャバシタ絶縁層となる高誘電率材料の結晶性は下地の結晶性に影響を受けやすい。このため、表面の結晶性が乱れた電極上に高誘電率材料を形成すると、高誘電率材料の結晶性も乱れてペロブスカイト構造が得られなくなり、結果としてキャバシタのリーク電流が増大してしまうという問題点があった。

【0022】また、イオンの注入や酸素プラズマにさらすには、新たな工程が必要となり、プロセスが煩雑になるという問題点もあった。

【0023】また、特開平6-65715号公報では、500°C以上の基板温度で下部電極層がスパッタリングされるため、バリアメタル層上に下部電極層を形成する場合には、下部電極層の剥がれや、電界集中によるリーク電流の発生が生じるという問題点があった。以下、そのことについて詳細に説明する。

【0024】図29～図32は、上記問題点が生じることを説明するための工程図である。まず図29を参照して、トランジスタトランジスタ20などを覆うように層間絶縁層23が形成された後、バリアメタル層103と下部電極層101とが順次形成される。この下部電極層101のスパッタリング時に基板温度が500°C以上と高いと、バリアメタル層103が酸化されてその表面に局所的な凸部103aが生ずる。

【0025】図30を参照して、このため、下部電極層101の堆積が完了した状態では、この凸部103aはかなり大きくなり、下部電極層101はこの凸部103aによりストレスを受けひび割れなどを生ずる。

40 【0026】図31を参照して、この後、レジストパターン151をマスクとして下部電極層101とバリアメタル層103とがパターニングされる。しかし、このパターニング後にレジストパターン151を除去する工程またはさらにその後の洗浄工程などにより、ひび割れなどを生じた下部電極層101は局所的に剥がれるおそれがある。

【0027】また図32を参照して、バリアメタル層103の表面に生じた凸部103aにより、下部電極層101の表面にも凸部101aが生ずる。この凸部101aを覆うようにキャバシタ絶縁層107と上部電極10

9とがスパッタ法により堆積される。このスパッタ法は段差被覆性のよくない手法であるため、凸部101aの下端部付近（領域P）においてキャパシタ絶縁層107の膜厚が薄くなるとともに上部電極109に尖った部分109aが生ずる。この尖った部分109aに電界が集中することになるため、キャパシタ誘電体膜107の膜厚が薄くなることと伴ってリーク電流が生じやすくなってしまう。

【0028】それゆえ本発明の目的は、リーク電流を抑制でき、かつ電極の剥がれを防止できるキャパシタを有する半導体装置およびその製造方法を提供することである。

[0029]

【課題を解決するための手段】本発明の半導体装置は、第1および第2の電極層が高誘電率材料を含むキャバシタ絶縁層を挟んでなるキャバシタを有する半導体装置であって、第1および第2の電極層の少なくともいずれかは、第1および第2の金属層を有している。第2の金属層は、キャバシタ絶縁層および第1の金属層の間に位置してキャバシタ絶縁層に接し、かつ酸素を含んでいる。

【0030】上記局面において好ましくは、第1および第2の金属層の少なくともいずれかは、白金、イリジウム、ロジウム、ルテニウム、パラジウムおよびオスミウムよりなる群から選ばれる少なくとも1種以上を含んでいる。

【0031】上記局面において好ましくは、高誘電率材料は、五酸化タンタル、チタン酸ストロンチウムバリウム、チタン酸ジルコン酸ランタン鉛、タンタル酸ビスマス酸ストロンチウム、チタン酸ジルコン酸鉛、チタン酸ストロンチウムおよびチタン酸バリウムよりなる群から選ばれる1種以上を有している。

【0032】上記局面において好ましくは、主表面を有する半導体基板と、主表面に形成された導電領域と、導電領域上に形成され導電領域の一部に達する孔を有する絶縁層と、孔を介して電気的に接続される導電領域と第1の電極層との間に位置するバリアメタル層とがさらに備えられている。第1の電極層の少なくとも一部は、バリアメタル層上に形成されている。第2の電極層は、第1の電極層上にキャバシタ絶縁層を介在して形成されている。第1の電極層が第1および第2の金属層を有している。

【0033】上記局面において好ましくは、バリアメタル層は孔を充填するように孔内ののみに形成されている。

【0034】本発明の1の局面に従うキャパシタを有する半導体装置の製造方法は、2つの電極層が高誘電率材料を含むキャパシタ絶縁層を挟んでなるキャパシタを有する半導体装置の製造方法であって、2つの電極層の少なくともいずれかは、酸素原子または酸素イオンを含む雰囲気中にて450°C未満の温度でスパッタリングにより金属層を堆積することで形成される。

【0035】本発明の他の局面に従うキャパシタを有する半導体装置の製造方法は、2つの電極層が高誘電率材料を含むキャパシタ絶縁層を挟んでなるキャパシタを有する半導体装置の製造方法であって、2つの電極層の少なくともいずれかは、第1の金属層と、キャパシタ絶縁層および第1の金属層の間でキャパシタ絶縁層に接しあつ酸素を含む第2の金属層とを有するように形成される。

【0036】上記局面において好ましくは、金属層は、
10 白金、イリジウム、ロジウム、ルテニウム、パラジウム
およびオスミウムよりなる群から選ばれる1種以上を含
み、かつ酸素を含んでいる。

【0037】上記局面において好ましくは、高誘電率材料は、五酸化タンタル、チタン酸ストロンチウムバリウム、チタン酸ジルコン酸ランタン鉛、タンタル酸ビスマス酸ストロンチウム、チタン酸ジルコン酸鉛、チタン酸ストロンチウムおよびチタン酸バリウムよりなる群から選ばれる1種以上を有している。

【0038】上記局面において好ましくは、スパッタリングにより形成される電極の少なくとも一部は、バリアメタル層上に形成される。

【0039】上記局面において好ましくは、第2の金属層を形成する工程は、酸素原子または酸素イオンを含む雰囲気中にてスパッタリングする工程を有している。

【0040】上記局面において好ましくは、第2の金属層を形成する工程は、実質的に酸素を含まない金属層を形成する工程と、金属層をレジストパターンをマスクとしてパターニングする工程と、レジストパターンを酸素プラズマを用いてオーバーアッキングすることでレジストパターンを除去するとともに金属層に酸素を導入して前記第2の金属層とする工程とを有している。

【0041】上記局面において好ましくは、第2の金属層を形成する工程は、金属層に酸素をイオン注入する工程を有している。

柱と有じて
〔1994.3〕

【0042】
【発明の実施の形態】以下、本発明の実施の形態について図に基づいて説明する。

【0043】 宅邸の形態 1

【0043】実施の形態1
図1は、本発明の実施の形態1におけるキャパシタを有する半導体装置の構成を概略的に示す概要図である。

【0044】図1を参照して、DRAMは、メモリセルアレイ領域と、周辺回路領域とを有している。メモリセルアレイ領域には、シリコン基板11の分離絶縁層21によって分離された領域に複数個のDRAMのメモリセルが形成されている。このメモリセルは、トランスマルチゲートトランジスタ20とキャパシタ10とを有する1トランジスタ1キャパシタ型のメモリセルである。

【0045】トランスマルチゲートトランジスタ20は、1対のソース／ドレイン領域15と、ゲート絶縁層17と、ゲート電極層19とを有している。1対のソース／

ドレイン領域15は、シリコン基板11の表面に間隔を介して形成されている。ゲート電極層19は、この1対のソース/ドレイン領域15に挟まれる領域上にゲート絶縁層17を介在して形成されている。

【0046】1対のソース/ドレイン領域15の一方にはビット線となる導電層21が電気的に接続されている。

【0047】周辺回路領域には、外部などの入出力を行なうための回路が形成されており、この回路はたとえばMOSトランジスタ20を有している。このMOSトランジスタ20はメモリセルアレイ領域のトランスマニアトトランジスタ20と同等の構成を有している。またこのMOSトランジスタ20のソース/ドレイン領域15の一方には、配線層となる導電層21が電気的に接続されている。

【0048】これらのトランジスタ20および導電層21を覆うように表面全面に層間絶縁層23が形成されている。この層間絶縁層23には、トランスマニアトトランジスタ20のソース/ドレイン領域に達するコンタクトホール23aが形成されている。このコンタクトホール23a内には、たとえば不純物が導入された多結晶シリコン（以下、ドープトポリシリコンと称する）よりなるプラグ層25が埋込まれている。このプラグ層25を介してソース/ドレイン領域15と電気的に接続するようにキャバシタ10が形成されている。

【0049】キャバシタ10は、下部電極層1と、キャバシタ絶縁層7と、上部電極層9とを有している。下部電極層1は、バリアメタル層3を介してプラグ層25と電気的に接続するように層間絶縁層23上に形成されており、たとえばPt（白金）よりなっている。またバリアメタル層3は、たとえばTiN/Ti（窒化チタン/チタン）よりなっている。このバリアメタル層3と下部電極層1との側面はたとえばシリコン酸化膜よりなる枠付け絶縁層5によって覆われている。キャバシタ絶縁層7は、下部電極層1を覆うように形成されており、たとえば上述したBSTなどの高誘電率材料よりなっている。上部電極層9は、キャバシタ絶縁層7を介して下部電極層1と対向するように形成されており、たとえばPtよりなっている。

【0050】この下部電極層1および上部電極層9の少なくともいずれかには、均一に酸素が導入されており、その酸素濃度は0.01wt%以上5wt%以下である。

【0051】酸素含有量が0.01wt%未満では、酸素添加の効果が少ないため、キャバシタ絶縁層7と電極1、9との界面での酸化還元反応などにより、キャバシタ絶縁層7の高誘電率材料が還元されてリーク電流が増大する。また酸素含有量が5wt%を超えると、キャバシタ絶縁層7を酸素雰囲気中でスパッタリングにより形成する場合に、以下の(1)～(3)によるリーク電流

が増大する。

【0052】(1) バリアメタル層3の崩れによる凹凸に対するキャバシタ絶縁層7のカバレッジ不良によるリーク電流の増大

(2) バリアメタル層3の崩れによる凹凸に起因する電界集中によるリーク電流の増大

(3) キャバシタ絶縁層7の形成時またはその後工程の熱処理により、キャバシタ絶縁層7の下地が構造変化することで、キャバシタ絶縁層7がストレスを受ける、あるいはクラックを生じることによるリーク電流の増大このキャバシタ10を覆うように層間絶縁層31が形成されている。この層間絶縁層31には、上部電極層9に達するコンタクトホール31aと、周辺回路領域のソース/ドレイン領域15に達するコンタクトホール31aとが設けられている。このコンタクトホール31aを、TiN/Tiの積層膜33を介して埋込むようにたとえばタンゲステンよりなるプラグ層35が形成されている。そしてこのプラグ層35に電気的に接続するようにアルミニウム配線層37が形成されている。

【0053】このアルミニウム配線層37を覆うように層間絶縁層41が形成されており、この層間絶縁層41にはアルミニウム配線層37に達するコンタクトホール41aが形成されている。このコンタクトホール41aを、TiN/Tiの積層膜43を介して埋込むようにたとえばタンゲステンよりなるプラグ層45が形成されている。このプラグ層45に電気的に接続するようにアルミニウム配線層47が形成されており、このアルミニウム配線層47を覆うように表面全面にプラズマ窒化膜49が形成されている。

【0054】次に、本実施の形態の製造方法について説明する。図2～図9は、本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法を工程順に示す概略断面図である。まず図2を参照して、シリコン基板11上に、分離絶縁層13が形成される。この分離された領域に、トランジスタ20が形成され、そのトランジスタ20のソース/ドレイン領域15に接する導電層21が形成される。これらのトランジスタ20および導電層21を覆うように層間絶縁層23が形成され、この層間絶縁層23にトランスマニアトトランジスタ20のソース/ドレイン領域15に達するコンタクトホール23aが形成される。そしてこのコンタクトホール23aを埋込むようにたとえばドープトポリシリコンよりなるプラグ層25が形成される。

【0055】図3を参照して、たとえばTiをターゲットとしてDCスパッタ法により表面全面に拡散防止層としてTiN/Ti積層膜3が20～100nmの膜厚で形成される。続いて、白金をターゲットとしてRFマグネットロンスパッタ法にて、ウェハの加熱温度：450℃未満、圧力：0.1～1.2Pa、流量比：O₂/(Ar+O₂)=1×10⁻⁵～0.1、出力：1kWの条件

11

で30～100nmの膜厚で白金膜1が形成される。なお、白金膜の形成条件におけるスパッタ電力は1kWに限定されるものではなく、0.3～10kWの範囲内であればよい。この条件で白金膜1を形成することにより、白金膜1には、全体に均一に0.01wt%以上5wt%以下の濃度で酸素が導入される。ここでは白金膜1の形成にRFマグネットロンスパッタが用いられているが、DCスパッタなどの他のスパッタ法が用いられてもよい。また膜厚に関しても、特にこの膜厚に限定されるものではない。

【0056】図4を参照して、白金膜1上に、通常の写真製版技術により、レジストパターン51が形成される。このレジストパターン51をマスクとして白金膜1およびTiN/Ti積層膜3が順次パターニングされて下部電極層1とバリアメタル層3とが形成される。この後、レジストパターン51がアッシングにより除去される。

【0057】図5を参照して、表面全面にシリコン酸化膜が50～400nmの膜厚で形成され、異方性エッチバックされることにより、下部電極層1およびバリアメタル層3の側面に枠付け絶縁膜5が形成される。

【0058】なお、この枠付け絶縁膜5は、後工程でキャパシタ絶縁層をスパッタ法にて形成する場合のキャパシタ絶縁層の下部電極側面におけるカバレッジ不良から生ずる絶縁破壊を防止する目的で設けられている。このため、キャパシタ絶縁層をCVD(Chemical Vapor Deposition)法で形成したり、また複数回に分けてデポジションを行なって形成した場合には、この枠付け絶縁膜5は省略されてもよい。また下部電極層1の側面もキャパシタとして用いる場合には、この下部電極層1の側面に側壁導電膜(図示せず)が設けられてもよい。

【0059】図6を参照して、表面全面に、BST膜よりなるキャパシタ絶縁層7が、400～600°C、600～800W、0.4Pa、O₂/(Ar+O₂)≤0.5の条件で150～600Åの膜厚で形成される。なお、BST膜の形成条件はこれに限定されるものではない。統いて、このキャパシタ絶縁層7上に、たとえば白金よりなる上部電極層9が、白金をターゲットとしてRFマグネットロンスパッタ法にて200～600°C、0.1～1.2Pa、O₂/(Ar+O₂)=1×10⁻⁵～0.1、1kWの条件で30～100nmの膜厚で形成される。なお、白金膜の形成条件におけるスパッタ電力は1kWに限定されるものではなく、0.3～10kWの範囲内であればよい。この後、通常の写真製版技術およびエッチング技術により、上部電極層9およびキャパシタ絶縁層7が順次パターニングされる。

【0060】なお、BST膜7はスパッタ法を用いて1回のデポジションで膜形成を行なったが、CVD法を用いたり、また複数回に分けてデポジションを行なってよい。また、上部電極層9は、上述の条件でスパッタ法

12

で形成することにより、全体に均一に0.01wt%以上5wt%以下の濃度で酸素が導入される。

【0061】図7を参照して、たとえば常圧プラズマ酸化膜31が、キャパシタ上部の層間絶縁膜として100～400nmの膜厚で形成される。この層間絶縁膜31には、通常の写真製版技術およびエッチング技術により、上部電極層9および周辺回路領域の所定の位置の各々に達するコンタクトホール31aが開口される。

【0062】なお、この図7においては、周辺回路領域10のシリコン基板11上にコンタクトホール31aが直接開口しているが、ドープトポリシリコンや他の導電性材料を用いたパッドをシリコン基板11に接するように形成し、その上にコンタクトホール31aが開口されてもよい。

【0063】図8を参照して、コンタクトホール31aの内壁を覆うように表面全面に拡散防止層としてTiN/Ti積層膜33が、たとえばTiをターゲットとしてDCスパッタ法により20～100nmの膜厚で形成される。統いて、表面全面に、たとえばCVD法によりタングステン膜35がコンタクトホール31a内を埋込むように形成される。この後、タングステン膜15にエッチバックを施すことによって、コンタクトホール31a内のみを埋込むようにタングステン膜35が残存されてプラグ層となる。

【0064】このようにプラグ層35でコンタクトホール31a内に埋込むのは、後工程でスパッタ法により形成されるアルミニウム配線層に、コンタクトホール31a内においてカバレッジ不良による断線が生ずるのを防止するためである。したがって、アルミニウム配線層を30CVD法で形成する場合や、リフローアルミニウム、高圧力でアルミニウムをコンタクトホールに埋込む方法(フォースフィル法)などを用いる場合には、特にこのプラグ層35は必要ではない。

【0065】図9を参照して、アルミニウム膜37が、たとえばアルミニウム(A1)をターゲットとしてDCスパッタ法により300～1000nmの膜厚で形成される。この後、アルミニウム膜37は、通常の写真製版技術およびエッチング技術により所定の形状にパターニングされて、配線層となる。

【0066】この後、図8および図9と同様の工程が繰返されて層間絶縁層41、拡散防止層43、プラグ層45およびアルミニウム配線層47が形成された後、プラズマ窒化膜49が形成されて図1に示すDRAMの構造が得られる。

【0067】本実施の形態では、図1において下部電極層1および上部電極層9の膜中に酸素が含まれているため、キャパシタ絶縁層7が酸素欠損を起こすような状況では電極1、9の白金中よりキャパシタ絶縁層7へ酸素の供給が行なわれ、キャパシタ絶縁層7の絶縁性を維持することができる。また、キャパシタ絶縁層7の形成初

期の段階において十分な酸素供給が行なわれるため、結晶性に優れたキャバシタ絶縁層7が得られる。

【0068】図10はAr100%の雰囲気、図11は酸素雰囲気下で形成した各白金膜上に形成したBST膜のX線回折パターンである。図10および図11を参照して、酸素添加白金の形成条件としては、350°C以上450°C未満、1kW、0.2~1.2Pa、O₂/(Ar+O₂)≤0.05の条件を用い、BSTの形成条件としては、400~600°C、600~800W、0.4Pa、O₂/(Ar+O₂)≤0.5の条件を用いた。

【0069】この結果より、酸素を添加した白金膜上に形成したBST膜は、酸素を添加しない白金膜上に形成したBST膜よりも結晶性が高くなっている（すなわち結晶性が改善されている）ことがわかる。

【0070】この酸素添加スパッタ時の条件として、雰囲気ガスのAr/O₂の流量比は白金のデポジション温度により最適値が変化する（低温でデポジションする場合、酸素含有量が高くなりすぎ、表面モロジーが荒れる場合がある）が、酸素分圧がアルゴンに対して20pm以上であれば、酸素添加効果が得られる。

【0071】この酸素の添加された白金膜を用いたキャバシタのリーク電流特性を図12に示す。BSTの膜厚、デポジション温度、上部電極の形成方法は図28の説明で述べた従来例と同じである。この図12の結果をArのみでスパッタした図28と比較すれば、ArにO₂を加えた雰囲気中でスパッタすることによりキャバシタのリーク電流特性が大きく改善されていることがわかる。

【0072】また、TiNのバリアメタル層上に白金よりなる下部電極層を形成した場合の下部電極層の表面荒れを調べるために実験を行なった。図13は、TiNのバリアメタル層上に、ウェハの加熱温度：250°C、Ar/O₂の流量比：40/0.15、圧力：0.19Pa、1kWの条件で白金を形成した場合の白金表面のSEM像である。一方、図14は、TiNのバリアメタル層上に、ウェハの加熱温度：450°C、Ar/O₂の流量比：38/2、圧力：0.19Pa、1kWの条件で白金を形成した場合の白金表面のSEM像である。

【0073】図13と図14とから明らかなように、250°Cと比較的低いウェハ加熱温度で白金膜をスパッタした場合には白金膜の表面に崩れは生じないが、450°Cと比較的高いウェハの加熱温度で白金膜をスパッタリングした場合には白金膜の表面に崩れが生じることがわかった。また白金のスパッタリング時のウェハの加熱温度が450°C未満であれば白金表面に崩れが生じないこともわかった。

【0074】この白金膜表面の崩れは、白金膜の下地となるバリアメタル層が、白金膜のスパッタリング時に酸化されて生じたものである。

【0075】本実施の形態では、450°C未満のスパッタリング時のウェハの加熱温度で白金膜が形成されているため、このスパッタリング時にバリアメタル層に崩れが生じることは防止され、この崩れによって生ずる白金膜の剥がれおよび電界集中によるリーク電流の発生を防止することが可能である。

【0076】また本実施の形態では、下部電極層1のスパッタリングと同時に酸素を下部電極層1に導入することができるため、下部電極層1に酸素を導入するための別個のプロセスは不要となる。このため、プロセスが煩雑になることは防止される。

【0077】また、下部電極層1のスパッタリングと同時に酸素を導入するため、イオン注入により酸素を導入するときのように下部電極層1の結晶性が乱れることは防止される。このため、下部電極層1上に形成されるキャバシタ絶縁層7の結晶性が乱れることもなく、リーク電流が生じることを防止することができる。

【0078】実施の形態2
通常のデバイス構造では、図1に示すように白金膜1と、シリコン基板もしくはドープトポリシリコンなどよりなる導電層2との間に相互拡散を防ぐバリアメタル層3が存在する。白金膜1をAr/O₂雰囲気下でスパッタリングした場合、この下地のバリアメタル層3が酸素により酸化されコンタクト不良を起こす場合がある。この場合、下地の酸化を抑制するために、Ar中で白金膜1をスパッタリングし、その後、酸素プラズマ処理により白金膜1に酸素添加を行なう方法が有効である。

【0079】この方法では、実施の形態1のリアクティブスパッタ法に比べ、スパッタ時の加熱温度と酸素添加時の温度とを独立に制御できるという利点がある。白金膜を低温で形成すると後のBST（キャバシタ絶縁層）形成時の熱などにより結晶化が進み、グレイン成長による表面荒れを起こす場合があるため、ある程度の高温（200°C以上）で白金膜を形成する必要がある。一方、酸素添加は下地の酸化を考慮すると低温の方が望ましい。本実施の形態では、下部電極バーニング後のレジスト除去工程において酸素プラズマによるアッシングを行ない、最適レジスト除去プロセスより長時間のアッシング処理（すなわちオーバーアッシング）をすること40でレジスト除去と白金電極の酸素プラズマ処理とを連続して行なう。以下、本実施の形態の製造方法について説明する。

【0080】本実施の形態の製造方法は、上述した実施の形態1の図2~図4の工程とほぼ同じ工程を経る。ただし、本実施の形態では、図3において示される白金のスパッタリングによる形成雰囲気はAr100%である。具体的には、白金をターゲットとしてRFマグネットロンスパッタ法により200~600°C、Ar 0.1~1.2Pa、1kWの条件で30~100nmの膜厚で白金膜が形成される。なお、白金膜の形成条件における

15

スパッタ電力は1 kWに限定されるものではなく、0.3~1.0 kWの範囲内であればよい。ここでは白金膜1をRFマグネットロンスパッタを用いて形成しているが、これ以外にDCスパッタなどの他のスパッタ方法でもよい。また膜厚に関しても特にこの膜厚に限定されるものではない。このように白金膜1形成のスパッタ雰囲気中に酸素が含まれていないため、白金膜1には未だ酸素は導入されていない。

【0081】図15を参照して、白金膜1がバターニングされて下部電極が形成された後、酸素プラズマを用いて、たとえばO₂を1 Torrとし、800Wの条件で1~2分間酸素プラズマに晒すことによりレジストパターン51が除去される。この後、さらに酸素プラズマに晒す(つまりオーバーアッシングする)と、図16に示すように下部電極層1の上面に酸素の導入された領域1aが形成される。

【0082】この後、図5~図9に示す実施の形態1と*

*同様の後工程を経ることにより、図17に示すDRAMの構造が得られる。

【0083】次に、図15および図16に示すアッシングの工程において上部電極に酸素を導入するに適切なオーバーアッシング量について考察する。

【0084】通常、レジストパターンを除去する場合には、100~150%のオーバーアッシングが施される。特に枚葉式のアッシング装置では、100~150%のオーバーアッシングを施すには、アッシングのトータルの処理時間は2~5分が一般的である。

【0085】ところで、本願発明者らは、TiNよりなるバリアメタル層上に白金膜を形成した後、この白金膜にO₂プラズマ処理を施し、O₂プラズマ処理時間とその白金膜上に堆積したBST膜の特性t_{eq}との関係を調べた。その結果を表1に示す。

【0086】

【表1】

O ₂ プラズマ処理時間 (分)	t _{eq} (nm)
0	0.515
3	0.505
10	0.478
30	0.480

なお特性t_{eq}は、高誘電体材料よりなるキャバシタ絶縁層の膜厚を酸化膜に換算した場合の膜厚を示している。

【0087】上記表1の結果より、O₂プラズマ処理時間を長くするほど、t_{eq}に対して改善効果が見られた。このため、同一のt_{eq}とした場合、O₂プラズマ処理時間が長いほどキャバシタ絶縁層の厚膜化が可能なため、キャバシタのリークの低減を図ることができる。またO₂プラズマ処理時間が3分以上の処理でt_{eq}が大幅に改善されるため、電極に酸素を導入することによるリーク電流低減の効果を得るために、オーバーアッシングは200~300%以上必要であることが判明した。

【0088】本実施の形態では、レジストパターン除去のためのアッシング処理で下部電極に酸素を導入することができるため、プロセスの省略化を図ることができる。

【0089】実施の形態3

電極への酸素導入のもう1つの方法として、電極層を積層構造とする手法がある。すなわち、酸素雰囲気下でたとえば白金をスパッタリングする前に、Ar 100%で第1の白金膜を形成し、これを第2の白金膜のスパッタ※50

※時における耐酸化性をもつ酸素拡散バリアとして用いる方法がある。具体的には、下部電極として用いる白金膜を、雰囲気がAr 100%で形成された第1層目の膜と、酸素分圧O₂/(Ar+O₂) = 1 × 10⁻⁵~0.1の条件で形成された第2層目の膜との積層構造で形成することにより下地の酸化を抑制する。以下この手法を用いた場合の構造について説明する。

【0090】図18は、本発明の実施の形態3におけるキャバシタを有する半導体装置の構成を概略的に示す断面図である。図18を参照して、本実施の形態では、下部電極層1は、たとえば第1の白金膜1bと、酸素が導入された第2の白金膜1cとの少なくとも2層構造を有している。この酸素が導入された第2の白金膜1c内の酸素濃度は、全体均一に0.01wt%以上5wt%以下である。

【0091】なお、これ以外の構成については、図1に示す実施の形態1の構成とほぼ同様であるため、同一の部材については同一の符号を付し、その説明は省略する。

【0092】次に本実施の形態の製造方法について説明する。図19および図20は本発明の実施の形態3におけるキャバシタを有する半導体装置の製造方法を工程順

に示す概略断面図である。本実施の形態の製造方法は、まず図2に示す実施の形態1と同様の工程を経る。この後、図19に示すようにプラグ層25と下部電極層との間の拡散防止層として、たとえばTiをターゲットとしてDCスパッタ法によりTiN/Ti積層膜1bが20~100nmの膜厚で形成される。続いて、このTiN/Ti積層膜3上に、白金をターゲットとしてRFマグネットロンスパッタ法にて200~600°C、Ar 0.1~1.2Pa、1kWの条件で第1の白金膜1bが30~100nmの膜厚で形成される。なお、白金膜の形成条件におけるスパッタ電力は1kWに限定されるものではなく、0.3~10kWの範囲内であればよい。

【0093】図20を参照して、この第1の白金膜1b上に、白金をターゲットとしてRFマグネットロンスパッタ法にて200~600°C、0.1~1.2Pa、O₂/(Ar+O₂)=1×10⁻⁵~0.1、1kWの条件で、酸素が導入され第2の白金膜1cが30~100nmの膜厚で形成される。なお、白金膜の形成条件におけるスパッタ電力は1kWに限定されるものではなく、0.3~10kWの範囲内であればよい。

【0094】この後、図4~図9に示す実施の形態1と同様の工程を経ることにより、図15に示すDRAMの構造が得られる。

【0095】本願発明者らは、図18に示すように下部電極層1を多層構造として形成した場合の下部電極層1の表面荒れについて調べるために実験を行なった。TiNよりなるバリアメタル層上に、ウェハの加熱温度:400°C、Arの流量:40sccm、圧力:0.19Pa、1kWの条件で第1の白金膜を形成した。続いて、第1の白金膜上に、ウェハの加熱温度:400°C、Ar/O₂の流量比:38/2、圧力:0.19Pa、1kWの条件で第2の白金膜を形成した。この第2の白金膜の上部表面を観察したSEM像を図21に示す。

【0096】図21より明らかに、第2の白金膜の表面には下地の酸化による崩れが生じていないことがわかる。これは、白金膜を積層構造としたため、第1の白金膜が、第2の白金膜のスパッタリング時にバリアメタル層が酸化することを防止する酸素拡散バリアとしての役割をしたからである。

【0097】以上より、本実施の形態では下部電極層1が第1および第2の白金膜1b、1cの積層構造よりなっているため、第2の白金膜1cを酸素を含む雰囲気中でスパッタリングする場合にも下地のバリアメタル層3の崩れを防止することができる。このため、この下地のバリアメタル層3の崩れによる白金膜の剥がれや、電界集中によるリーク電流の発生を防止することができる。

【0098】また、下部電極層1を積層構造としたことにより、第2の白金膜のスパッタリング時に第2の白金膜1bが酸素拡散バリアの役割をなすため、第2の白金膜1cのスパッタリング時の温度を450°C以上として

もバリアメタル層3が酸化によって崩れることは防止できるものと考えられる。このように、積層構造とすれば、第2の白金膜1cのスパッタリング温度の設定範囲を広く確保することができるため、スパッタリング条件の設定が容易となる。

【0099】また、本実施の形態では下部電極層1のスパッタリング時に同時に酸素を下部電極層1に導入することができるため、下部電極層1に酸素を導入するための別途の工程は不要となり、プロセスが煩雑になることはない。

【0100】なお本実施の形態においては、第2の白金膜1cは、酸素を含む雰囲気中でスパッタリングを行なうことにより酸素が導入されているが、酸素の導入方法は、この方法に限らない。たとえば、図22および図23に示すようにバリアメタル層3と第1の白金膜1bと第2の白金膜1cとを順次積層した後、レジストパターン51にて白金膜1b、1cをバーニングする際に、オーバーアッシングを行なうことによって第2の白金膜1cに酸素が導入されてもよい。

【0101】また、図24および図25に示すように第1および第2の白金膜1b、1cをレジストパターン51を用いてバーニングした後、第1の白金膜1bに酸素イオンをイオン注入することによって酸素が導入されてもよい。

【0102】ただしこの場合は、第2の白金膜1c中に物理的にイオンが注入され、第2の白金膜1cの表面の結晶性が乱されることになるため、その上に形成されるキャパシタ絶縁層7の結晶性が乱されることを考慮すべきである。

【0103】実施の形態1および3において下部電極層1および第2の白金膜1cのスパッタリング時の酸素圧力(P_o、単位:Pa)は、

$$P_o \leq 0.0073 - 2.66/T$$

の式を満たすものであればよい。なお、ここでTとは、スパッタリング時のウェハの加熱温度(K)であり、この式は経験により求められたものである。

【0104】実施の形態1~3においては、下部電極層1および上部電極層9に白金を用いた場合について説明したが、これに限られず、下部および上部電極1、9は、イリジウム、ロジウム、ルテニウム、パラジウムおよびオスミウムのいずれか、またはこれらの合金よりもよい。

【0105】またキャパシタ絶縁層に含まれる高誘電率材料として、主にBSTについて説明したが、これに限られず、五酸化タンタル、PLZT、SBT、PZT、STO、BTOのいずれよりもよい。

【0106】また実施の形態1~3においては、プラグ層25がドープトシリコンより形成された場合について説明したが、図26に示すようにプラグ層25には、図1のバリアメタル層3に用いられる材質と同じも

のが用いられてもよい。この場合、図1のバリアメタル層3は不要で下部電極層1はプラグ層25に直接接してもよい。なお、図26のこれ以外の構成は図1の構成とほぼ同じであるため、同一部材について同一の符号を付し、その説明を省略する。また実施の形態1および3において白金形成時のスパッタ雰囲気として酸素を含めた場合について説明したが、酸素以外に、O₃、N₂O、NO、NO₂、H₂Oなどの酸化性ガスが用いられても同様の効果が得られる。

【01107】また実施の形態2においてオーバーアッシング時に酸素プラズマを用いたが、これ以外に、O₃、N₂O、NO、NO₂、H₂Oなどの酸化性ガスおよびこれらの混合ガスまたは不活性ガスとこれらの酸化性ガスの混合ガスのプラズマでも同様の効果が得られる。

【01108】また、上記実施の形態1～3については、DRAMのメモリセル構造について説明したが、これに限らず、キャパシタを有する半導体装置であれば、本発明は適用し得る。

【01109】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【01110】

【発明の効果】本発明のキャパシタを有する半導体装置は、第1および第2の電極層が高誘電率材料を含むキャパシタ絶縁層を挟んでなるキャパシタを有する半導体装置であって、第1および第2の電極層の少なくともいずれかは、第1および第2の金属層を有している。第2の金属層は、キャパシタ絶縁層および第1の金属層の間に位置しキャパシタ絶縁層に接しつつ酸素を含んでいる。

【01111】本発明のキャパシタを有する半導体装置では、キャパシタ絶縁層と接する側の第2の金属層に酸素が導入されているため、キャパシタ絶縁層が酸素欠損を起こすような状況では、第2の金属層よりキャパシタ絶縁層へ酸素の供給が行なわれ、キャパシタ絶縁層の絶縁性を維持することができる。これにより、キャパシタのリーク電流を抑制することができる。

【01112】また、電極層をバリアメタル層上に形成する場合、バリアメタル層と酸素を含む第2の金属層との間に酸素を含まない第1の金属層が介在することになる。このため、酸素を含む第2の金属層を高温度でスパッタリングで形成しても、バリアメタル層は第1の金属層に覆われているため酸化し難くなる。よって、バリアメタル層が酸化することによる電極層の剥がれや電界集中によるリーク電流の発生を防止することができる。

【01113】上記局面において好ましくは、第1および第2の金属層の少なくともいずれかは、白金、イリジウム、ロジウム、ルテニウム、パラジウムおよびオスミウム

ムよりなる群から選ばれる1種以上を含んでいる。

【01114】これにより、結晶性の高いキャパシタ絶縁層を得ることができる。また対向する電極を同じ材質とすることが可能となり、電極の特性の対称性を良好とすることができる。

【01115】上記局面において好ましくは、高誘電率材料は、五酸化タンタル、チタン酸ストロンチウムバリウム、チタン酸ジルコニウムランタン鉛、タンタル酸ビスマス酸ストロンチウム、チタン酸ジルコニウム鉛、チタン酸ストロンチウムおよびチタン酸バリウムよりなる群から選ばれる1種以上を有している。

【01116】これにより、キャパシタ絶縁層を高誘電率にすることでき、簡易なキャパシタ形状を維持したまま高いキャパシタ容量を得ることができる。

【01117】上記局面において好ましくは、主表面を有する半導体基板と、主表面に形成された導電領域と、導電領域上に形成され、導電領域の一部に達する孔を有する絶縁層と、孔を介して電気的に接続される導電領域と第1の電極層との間に位置するバリアメタル層とがさらに備えられている。第1の電極層の少なくとも一部は、バリアメタル層上に形成されている。第2の電極層は、第1の電極層上にキャパシタ絶縁層を介在して形成されている。第1の電極層は第1および第2の金属層を有している。

【01118】これにより、酸素を含む第2の金属層を高温度でスパッタリング形成しても、バリアメタル層が酸化することによる電極層の剥がれや、電界集中によるリーク電流の発生を防止することができる。

【01119】上記局面において好ましくは、バリアメタル層は孔を充填するように孔内のみに形成されている。

【01120】これにより、孔内を充填するプラグ層自身がバリアメタル層となるため、プラグ層と下部電極との間にバリアメタル層を設ける必要がなくなる。

【01121】本発明の1の局面に従うキャパシタを有する半導体装置の製造方法は、2つの電極層が高誘電率材料を含むキャパシタ絶縁層を挟んでなるキャパシタを有する半導体装置の製造方法であって、2つの電極層の少なくともいずれかは、酸素原子または酸素イオンを含む雰囲気中にて450℃未満の温度でスパッタリングにより金属層を堆積することで形成される。

【01122】本発明のキャパシタを有する半導体装置の製造方法では、金属層をスパッタリングする際の温度が450℃未満であるため、バリアメタル層が酸化により膨れることは防止される。このため、バリアメタル層の膨れによる電極層の剥がれや、リーク電流の発生は抑制され得る。

【01123】本発明の他の局面に従うキャパシタを有する半導体装置の製造方法は、2つの電極層が高誘電率材料を含むキャパシタ絶縁層とを挟んでなるキャパシタを有する半導体装置の製造方法であって、2つの電極層の

少なくといずれかは、第1の金属層と、キャバシタ絶縁層および第1の金属層の間でキャバシタ絶縁層に接しあつ酸素を含む第2の金属層とを有するように形成される。

【0124】本発明の他の局面に従うキャバシタを有する半導体装置の製造方法では、電極層をバリアメタル層上に形成する場合、バリアメタル層と酸素を含む第2の金属層との間に第1の金属層が介在することになる。このため、酸素を含む第2の金属層を高温度でスパッタリングで形成しても、バリアメタル層は第1の金属層に覆われているため酸化し難くなる。よって、バリアメタル層が酸化することによる電極層の剥がれや電界集中によるリーク電流の発生を防止することができる。

【0125】上記局面において好ましくは、金属層は、白金、イリジウム、ロジウム、ルテニウム、パラジウムおよびオスミウムよりなる群から選ばれる1種以上を含み、かつ酸素を含んでいる。

【0126】これにより、結晶性の高いキャバシタ絶縁層を得ることができる。また、対向する電極を同じ材質とすれば、電極の特性の対称性を良好とすることができます。

【0127】上記局面において好ましくは、高誘電率材料は、五酸化タンタル、チタン酸ストロンチウムバリウム、チタン酸ジルコン酸ランタン鉛、タンタル酸ビスマス酸ストロンチウム、チタン酸ジルコン酸鉛、チタン酸ストロンチウムおよびチタン酸バリウムよりなる群から選ばれる1種以上を有している。これにより、キャバシタ絶縁層を高誘電率にすことができ、簡易なキャバシタ形状を維持したまま高いキャバシタ容量を得ることができる。

【0128】上記局面において好ましくは、スパッタリングにより形成される電極の少なくとも一部は、バリアメタル層上に形成される。

【0129】これにより、酸素を含む第2の金属層を高温度でスパッタリングで形成しても、バリアメタル層が酸化することによって電極層の剥がれや、電界集中によるリーク電流の発生を防止することができる。

【0130】上記局面において好ましくは、第2の金属層を形成する工程は、酸素原子または酸素イオンを含む雰囲気中にスパッタリングする工程を有する。これにより、酸素を含む第2の金属層を形成することができる。

【0131】上記局面において好ましくは、第2の金属層を形成する工程は、実質的に酸素を含まない金属層を形成する工程と、金属層をレジストパターンをマスクとしてパターンングする工程と、レジストパターンを酸素プラズマを用いてオーバーアッシングすることでレジストパターンを除去するとともに金属層に酸素を導入して第2の金属層とする工程とを有している。これにより、酸素を含む第2の金属層を形成することができる。

【0132】上記局面において好ましくは、第2の金属層を形成する工程は、金属層に酸素をイオン注入する工程を有している。これにより、酸素を含む第2の金属層を形成することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるキャバシタを有する半導体装置の構成を概略的に示す断面図である。

【図2】 本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法の第1工程を示す概略断面図である。

【図3】 本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法の第2工程を示す概略断面図である。

【図4】 本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法の第3工程を示す概略断面図である。

【図5】 本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法の第4工程を示す概略断面図である。

【図6】 本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法の第5工程を示す概略断面図である。

【図7】 本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法の第6工程を示す概略断面図である。

【図8】 本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法の第7工程を示す概略断面図である。

【図9】 本発明の実施の形態1におけるキャバシタを有する半導体装置の製造方法の第8工程を示す概略断面図である。

【図10】 従来の酸素を導入していない白金膜上に形成されたB ST薄膜のX線回折パターンを示す図である。

【図11】 本発明の実施の形態1の方法で形成した白金膜上にB ST薄膜を形成した場合のB ST薄膜のX線回折パターンを示す図である。

【図12】 本発明の実施の形態1の方法で製造したキャバシタのBV_Gとリーク電流との関係を示すグラフである。

【図13】 本発明の実施の形態におけるスパッタリング温度で白金膜を形成した場合の白金膜の上部表面を示すSEM写真である。

【図14】 従来のスパッタリング温度で白金膜を形成した場合の白金膜の上部表面を示すSEM写真である。

【図15】 本発明の実施の形態2におけるキャバシタを有する半導体装置の製造方法の第1工程を示す概略断面図である。

【図16】 本発明の実施の形態2におけるキャバシタを有する半導体装置の製造方法の第2工程を示す概略断

面図である。

【図17】 本発明の実施の形態2におけるキャバシタを有する半導体装置の製造方法の第3工程を示す概略断面図である。

【図18】 本発明の実施の形態3におけるキャバシタを有する半導体装置の構成を概略的に示す断面図である。

【図19】 本発明の実施の形態3におけるキャバシタを有する半導体装置の製造方法の第1工程を示す概略断面図である。

【図20】 本発明の実施の形態3におけるキャバシタを有する半導体装置の製造方法の第2工程を示す概略断面図である。

【図21】 本発明の実施の形態3の方法で多層構造に形成された白金膜の上部表面を示すSEM写真である。

【図22】 本発明の実施の形態3においてオーバーアッキングで白金膜に酸素を導入する第1工程図である。

【図23】 本発明の実施の形態3においてオーバーアッキングで白金膜に酸素を導入する第2工程図である。

【図24】 本発明の実施の形態3においてイオン注入により白金膜に酸素を導入する第1工程図である。

【図25】 本発明の実施の形態3においてイオン注入により白金膜に酸素を導入する第2工程図である。

【図26】 プラグ層にバリアメタル層の材質と同じ材質を使った場合の構成を示す図である。

【図27】 従来のキャバシタを有する半導体装置の構成を概略的に示す断面図である。

【図28】 従来のキャバシタを有する半導体装置のB V_Gとリーク電流との関係を示すグラフである。

【図29】 従来の電極形成方法では問題が生じることを説明するための第1工程図である。

【図30】 従来の電極形成方法では問題が生じることを説明するための第2工程図である。

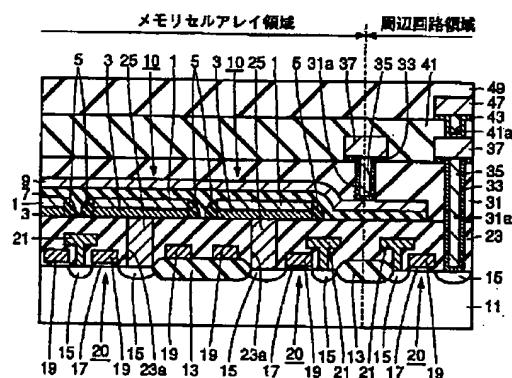
【図31】 従来の電極形成方法では問題が生じることを説明するための第3工程図である。

【図32】 従来の電極形成方法では問題が生じることを説明するための第4工程図である。

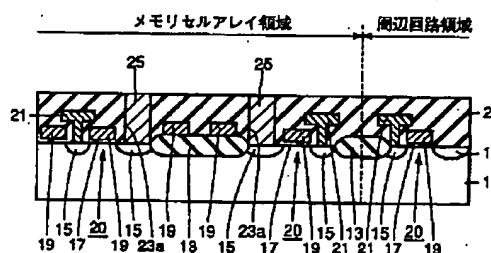
【符号の説明】

1 下部電極、3 バリアメタル層、7 キャバシタ絶縁層、9 上部電極層、10 キャバシタ、1a 酸素導入領域、1b 第1の白金膜、1c 第2の白金膜。

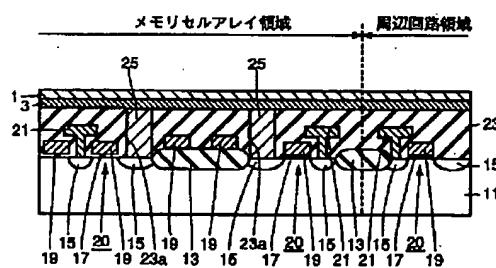
【図1】



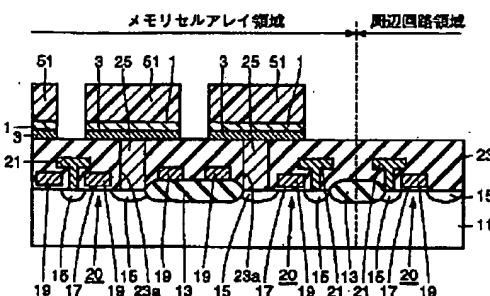
【図2】



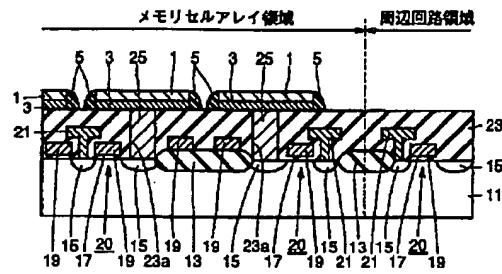
【図3】



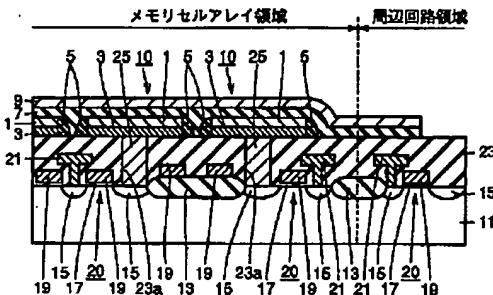
【図4】



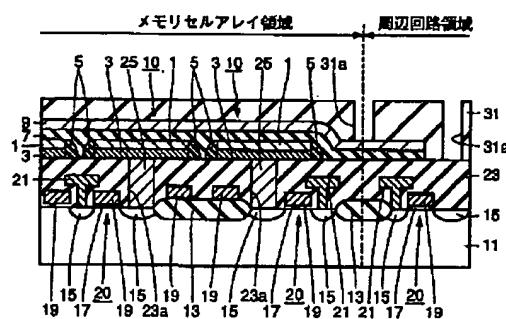
【図5】



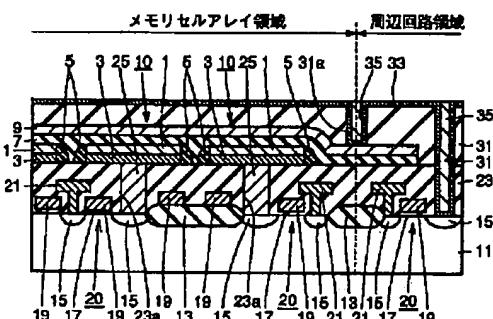
【図6】



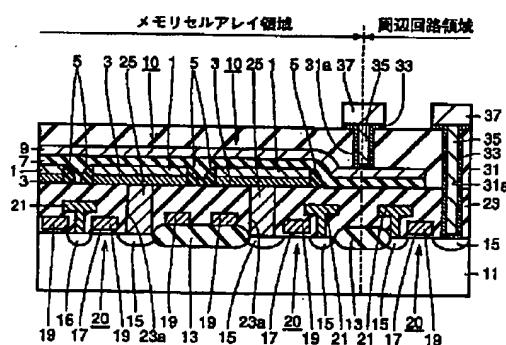
【図7】



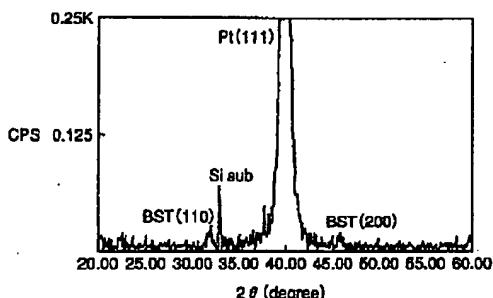
【図8】



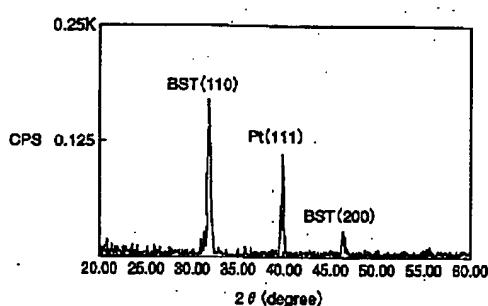
【図9】



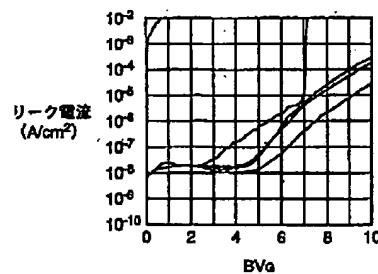
【図10】



【図11】

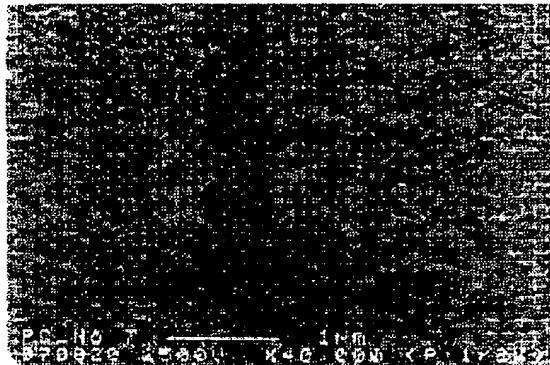


【図12】



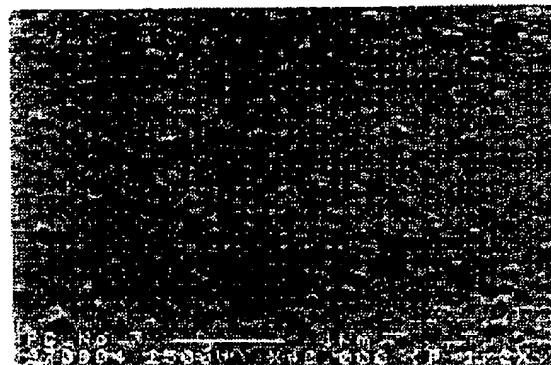
【図13】

図面代用写真

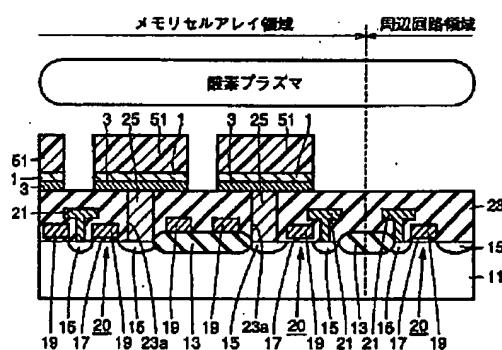


【図14】

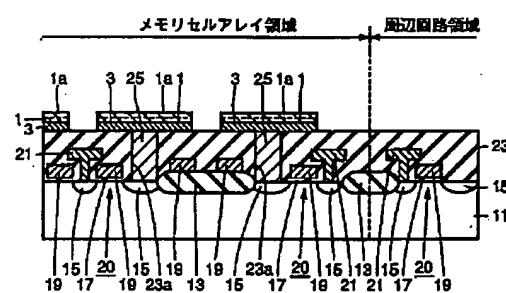
図面代用写真



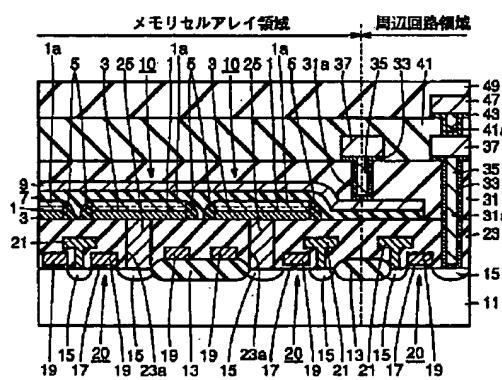
【図15】



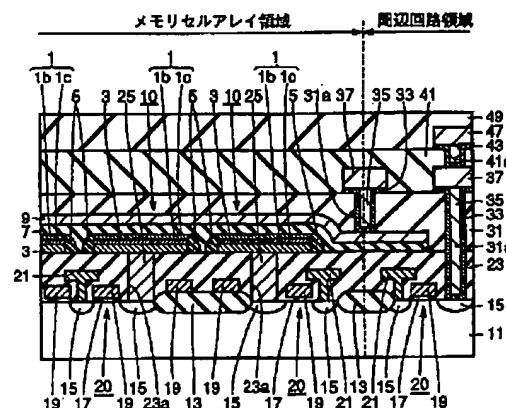
【図16】



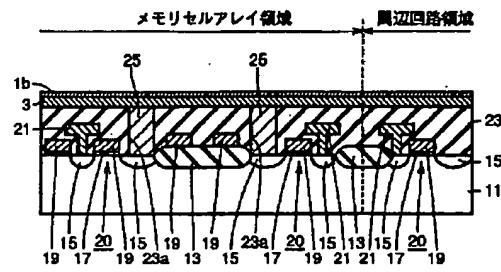
【図17】



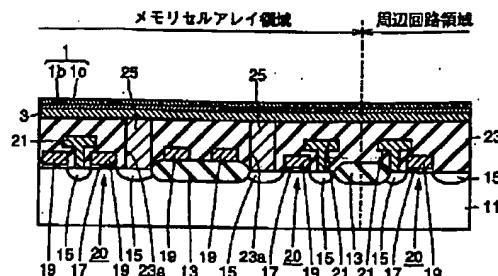
【図18】



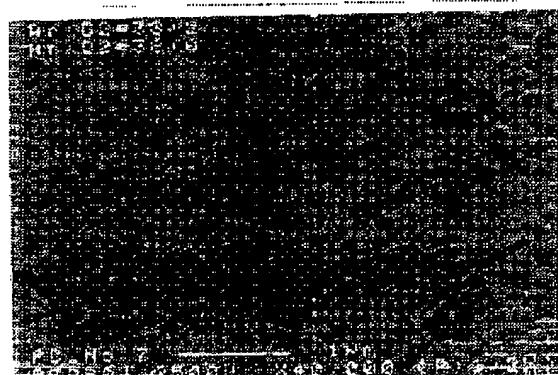
【図19】



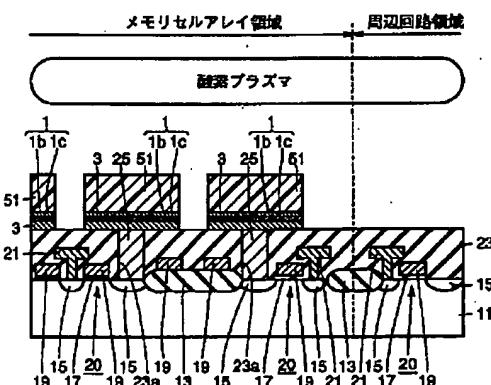
【図20】



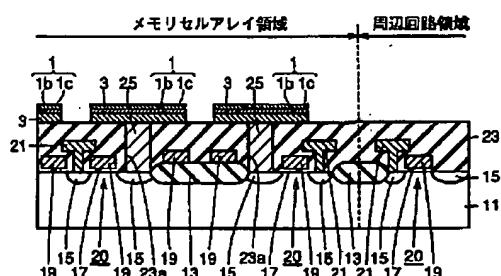
【図21】



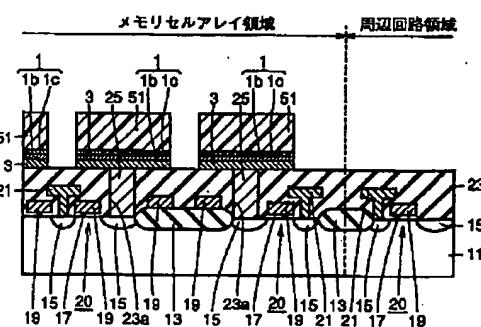
【図22】



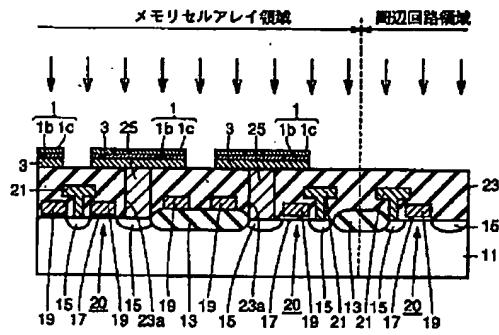
【図23】



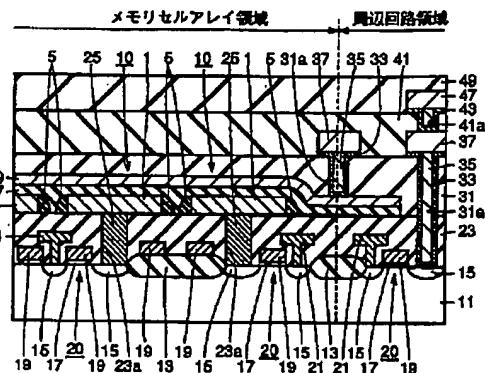
【図24】



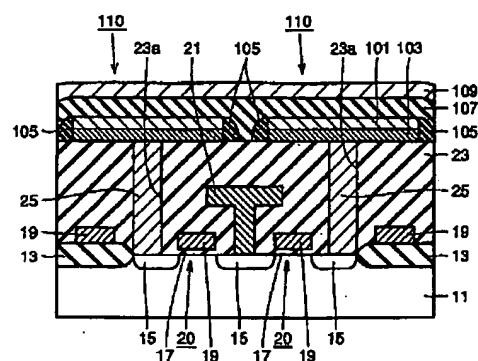
【図25】



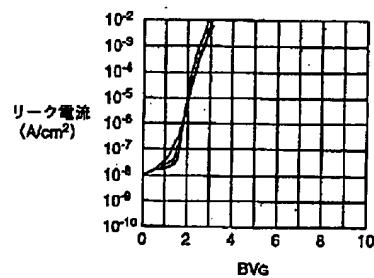
【图26】



【図27】

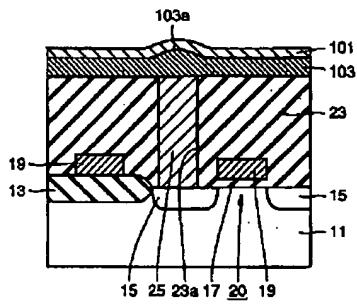


〔图28〕

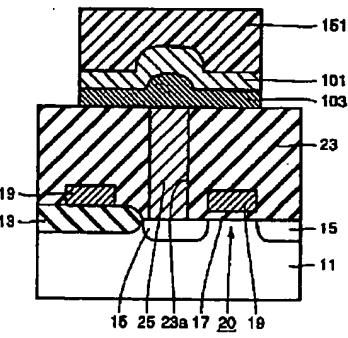
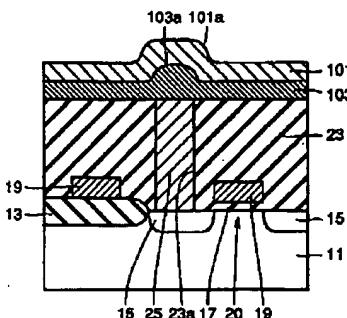


【図31】

〔图29〕



〔四三〇〕



【図32】

